

MÉTHODOLOGIE DE CONCEPTION DE CIRCUITS INTÉGRÉS MIXTES : APPLICATION À LA MODÉLISATION D'UN CAN MULTI-RAMPES

R. Maghrebi, M. Masmoudi

Groupe de recherche en Microtechnologie et Systèmes sur puce
École Nationale d'Ingénieurs de Sfax
B.P. W 3038, Sfax, Tunisie
raja.maghrebi@enis.rnu.tn; mohamed.masmoudi@icee.org

(Received 12 September 2003 - Accepted 2 September 2004)

RÉSUMÉ

Dans cet article nous proposons une méthodologie de conception de circuits mixtes. Les convertisseurs analogiques numériques et numériques analogiques constituent de bons exemples de circuits mixtes. La méthodologie de conception proposée est appliquée dans la conception d'un convertisseur A/N multi-rampes. Nous avons validé l'algorithme de conversion par des simulations comportementales. Nous avons également effectué un test statique sur le modèle du convertisseur multi-rampes. Les résultats de test dynamique viennent pour confirmer ceux obtenus par test statique. Ces résultats de test ont ainsi prouvé les performances de notre convertisseur A/N multi-rampes pour diverses applications.

Mots clés : méthodologie de conception, modélisation, convertisseur A/N, test

ABSTRACT

In this paper we propose a mixed signal design methodology. A/D converters are considered as good examples of mixed signal circuits. We present the results of our experience using this new methodology to design a multi-slope analog to digital converter. The conversion algorithm is validated by behavioral simulations. The A/D converter model performances are evaluated by test. Results obtained from static test are in good agreement with those obtained by dynamic test. These results prove the efficiency of our multi-slope A/D converter for various applications.

Keywords : design methodology, modeling, A/D converter, test

INTRODUCTION

La modélisation comportementale est devenue une étape très importante dans la conception des circuits analogiques et mixtes. Aujourd'hui, le concepteur est amené à adopter une méthodologie de conception qui se base sur l'élaboration d'une bibliothèque de composants et de blocs fonctionnels IP (intellectual property) réutilisables. Elle permet des gains considérables au niveau des temps de développement et des coûts de conception. Certains travaux ont abordé le développement de méthodologies de conception de circuits analogiques et mixtes (Ginés *et al.*, 2002 ; Oudinot *et al.*, 2000 ; Bayer, 2003 ; Yang *et al.*, 2004). C'est dans ce cadre que rentre le travail que nous présentons dans ce papier et qui consiste à proposer une méthodologie de conception de circuits mixtes. Pour valider la méthodologie proposée, nous l'avons appliquée à la conception d'un convertisseur analogique numérique multi-rampes auto-calibré de résolution pouvant atteindre 10 bits (Maghrebi *et al.*, 2001 ; Maghrebi et Masmoudi, 1998). Nous avons validé l'algorithme de conversion par des simulations comportementales. Nous avons également effectué des tests statiques et dynamiques sur le modèle du CAN multi-rampes. Les résultats obtenus ont prouvé ses performances pour des applications diverses.

Dans ce papier on commence, dans une première partie, par donner une description du fonctionnement du convertisseur A/N multi-rampes. La deuxième partie est consacrée à introduire la méthodologie de conception qui sera appliquée à la modélisation du convertisseur A/N multi-rampes. Les résultats des tests statique et dynamique effectués sur le CAN multi-rampes feront l'objet de la troisième partie de cet article.

DESCRIPTION DU CONVERTISSEUR A/N MULTI-RAMPES

Le CAN multi-rampes est constitué de trois cellules identiques. Chaque cellule comporte un oscillateur contrôlé en courant, un compteur synchrone et un décompteur synchrone. Pour synchroniser les différentes phases constituant l'opération de conversion, une logique de commande a été rajoutée. Le schéma bloc de l'ensemble est donné par la Figure 1.

La structure de conversion A/N se base sur le principe de comparaison. Une entrée de référence notée par I_{ref} joue le rôle de la valeur étalon à laquelle va être comparée chaque entrée à convertir. Pour quantifier la valeur de l'offset, une entrée d'offset a été rajoutée à la structure. Il y a donc trois entrées en courants différentes, les compteurs seront par conséquent incrémentés avec des fréquences différentes. Ainsi, leurs sorties seront également différentes à un même instant t_0 .

Cette architecture de conversion A/N présente l'avantage d'avoir le résultat de conversion complètement indépendant des paramètres internes du convertisseur (Maghrebi *et al.*, 2001), comme le montre l'expression (1).

$$N_r = \frac{N_{\max}}{I_{\max}} \cdot I_e \quad (1)$$

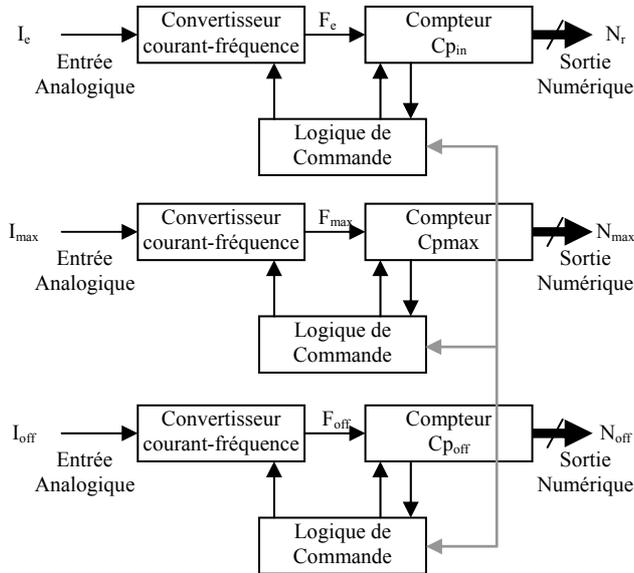


Figure 1. Schéma bloc de la structure de conversion A/N multi-rampes.

D'autre part, la structure est auto-calibrée du fait qu'on utilise trois cellules identiques. Pour réaliser la soustraction de la valeur d'offset, nous avons ajouté à la structure déjà présentée un décompteur pour chaque cellule comme le montre la Figure 2.

Fonctionnement du CAN multi-rampes

Pour décrire l'algorithme de conversion du CAN multi-rampes, nous allons détailler l'organigramme donné sur la Figure 3.

Dans cet organigramme, une phase d'initialisation des différentes parties de la structure est nécessaire au départ. Deux opérations caractérisent cet algorithme : une opération de comptage sur chacun des trois compteurs à différentes fréquences et une opération de décomptage sur les trois décompteurs à la même fréquence F_{max} .

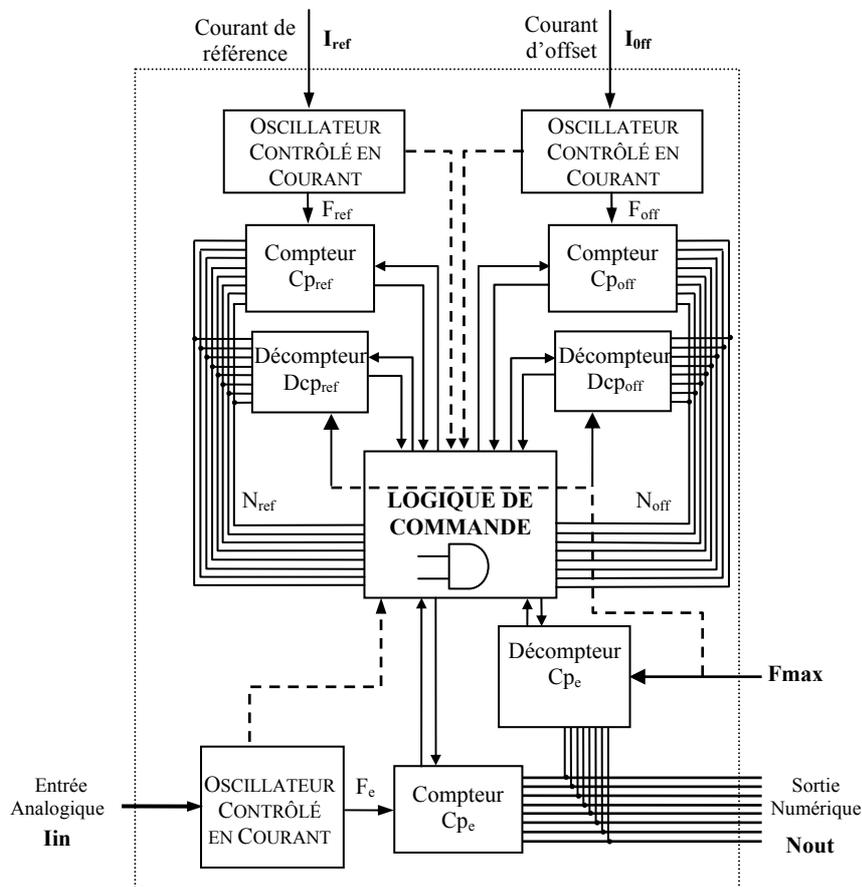


Figure 2. Schéma bloc du CAN multi-rampes.

Le compteur de référence atteint en premier sa valeur maximale (N_{ref}), ce qui indique la fin de l'opération de comptage. L'opération de décomptage s'effectue à la fréquence F_{max} et prend lieu à la suite de l'opération de comptage. Cette opération prend fin lorsque le compteur d'offset atteint 0. Ces opérations se poursuivent tant que le compteur d'offset n'a pas atteint une valeur nulle et le compteur de référence n'a pas atteint une valeur pleine échelle lors d'une opération de comptage. Ces deux conditions doivent être satisfaites simultanément pour mettre fin à la conversion. Le temps de conversion T_c peut être considéré comme étant la somme des différentes périodes de temps que met le convertisseur pour assurer les phases de comptage et de décomptage jusqu'à la fin de conversion (Figure 4).

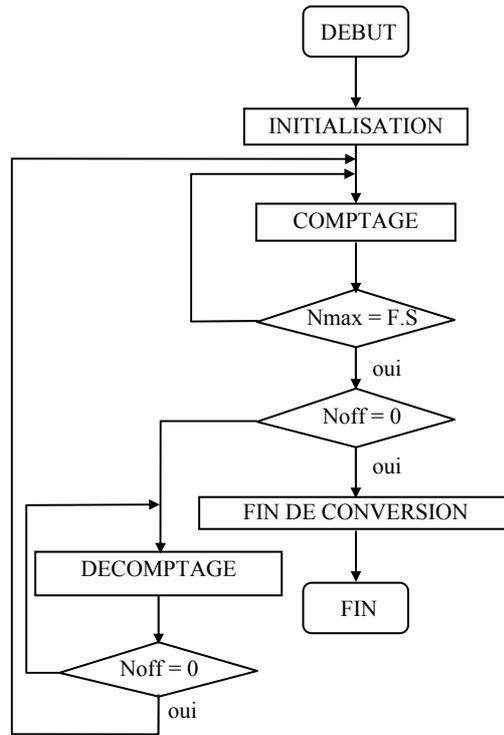


Figure 3. Organigramme de conversion.

La durée des différentes périodes de décomptage est faible par rapport à la durée des périodes de comptage (Maghrebi *et al.*,2001). L'expression du temps de conversion T_c est donné par l'équation (2) :

$$T_c = t_1 \cdot \frac{F_{\max}(F_H + F_0)}{F_H(F_{\max} - F_0)} \quad (2)$$

On remarque que si $F_{\max} \gg F_0$, la quantité T_c tend vers t_1 . Donc, le temps de compensation de N_0 est très faible par rapport au temps t_1 qui correspond à la première valeur obtenue pour $N_i(N_{e1})$.

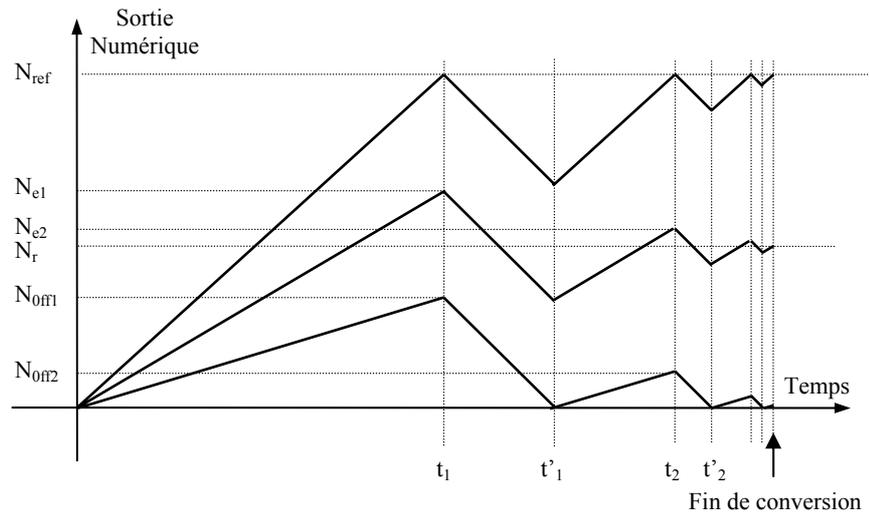


Figure 4. Procédures de comptage-décomptage.

MÉTHODOLOGIE DE CONCEPTION DU CAN

La méthodologie de conception que nous proposons est illustrée par la Figure 5. Elle est basée sur le langage de description matériel VHDL. La procédure de conception débute par une description de la partie analogique et de la partie numérique simultanément. Cette étape fait appel à des bibliothèques de composants virtuels (ou intellectual properties "IP") développées pour cet effet et permet la validation fonctionnelle des parties analogique et numérique. La partie analogique est d'abord simulée et validée au niveau transistor avec le logiciel Eldo, le modèle correspondant est décrit au niveau comportemental afin de faciliter la simulation mixte analogique/numérique de la totalité du circuit. Le résultat de cette simulation mixte permet de valider la partie numérique qui sera synthétisée au moyen d'un outil de synthèse tel que Leonardo.

La méthodologie proposée peut être adoptée pour la conception de n'importe quel circuit mixte. Les convertisseurs analogiques numériques et numériques analogiques constituent de bons exemples de circuits mixtes.

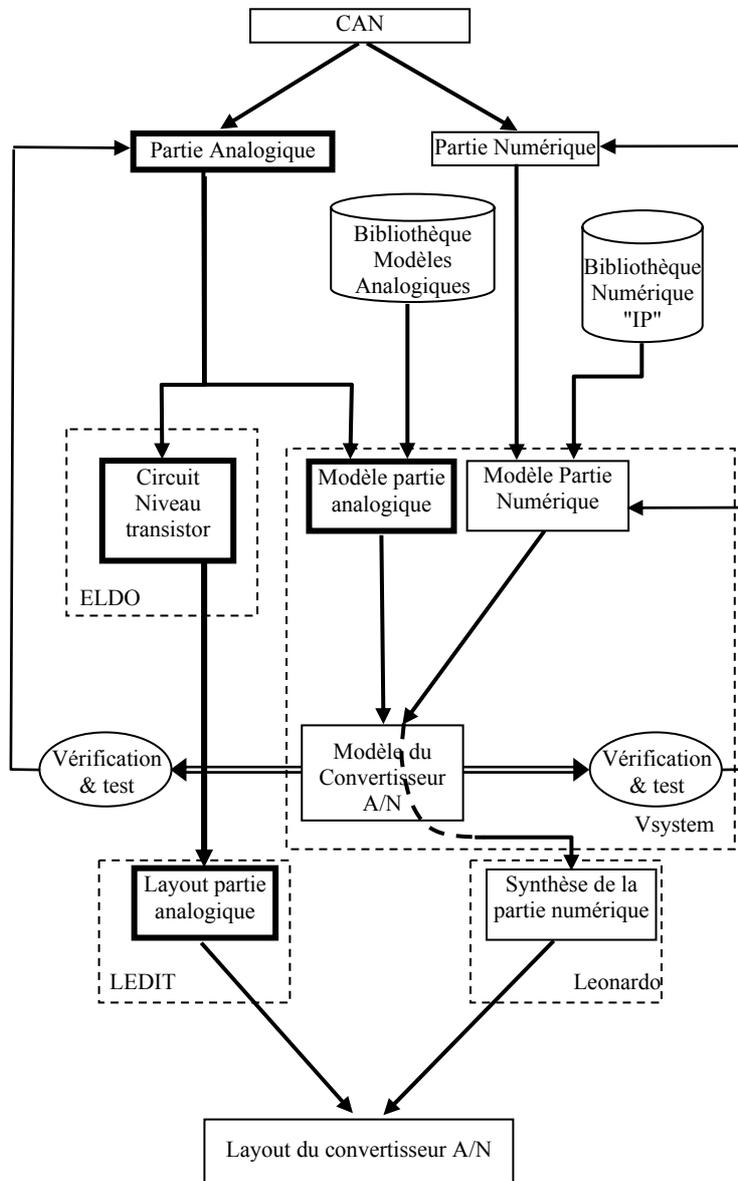


Figure 5: Méthodologie de conception proposée.

Vu la complexité de la conception des convertisseurs analogiques numériques en tant que circuits mixtes, la méthodologie de conception développée, consiste à subdiviser le convertisseur en deux parties : Une partie analogique et une partie numérique. Les deux parties ne sont pas tout à fait indépendantes dans le flot de conception.

Pour la validation de la partie analogique, constituée essentiellement d'un oscillateur contrôlé en courant, des simulations ont été effectuées au niveau transistor par le simulateur Eldo de Mentor Graphics. La linéarité de l'oscillateur est un paramètre important pour la validation de l'algorithme de conversion. Les résultats de simulation obtenus ont montré que l'oscillateur contrôlé en courant, dont la cellule de base est représentée sur la Figure 6, présente un taux de linéarité de 0.27%. Ce taux nous permet d'atteindre les résolutions souhaitées pour le convertisseur A/N multi-rampes. Les résultats obtenus par Eldo ont permis de valider cette partie analogique du convertisseur et de passer à la réalisation du circuit. Le dessin des masques a été réalisé sous l'environnement Cadence (Maghrebi *et al.*, 2001).

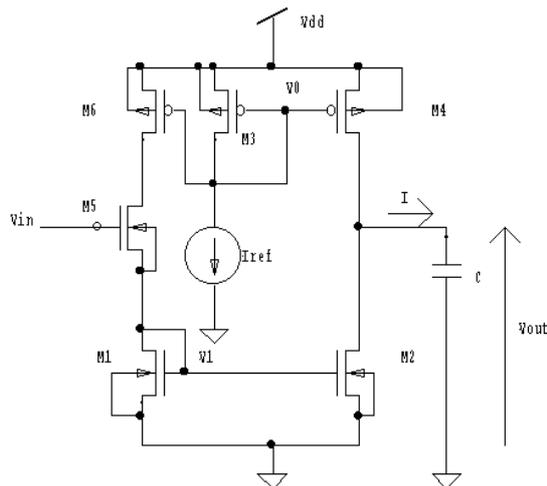


Figure 6. Cellule de base de l'oscillateur contrôlé en courant.

Afin de concevoir la partie numérique, nous avons construit l'architecture de cette partie à partir d'une bibliothèque. Cette partie est testée et corrigée dans l'environnement Vsystem. Des boucles de retour ont été également prévues lors de la vérification et du test du modèle du circuit entier et qui permettent de revenir au niveau plus haut en cas de besoin.

Modélisation du CAN multi-rampes et validation du modèle

La modélisation des convertisseurs analogiques numériques a fait l'objet de plusieurs travaux de recherche ces dernières années (Baraniecki *et al.*, 1998 ; Peralias *et al.*, 2000). Le travail que nous développons consiste à valider l'algorithme de conversion de notre convertisseur analogique numérique multi-rampes auto-calibré.

Pour valider la partie numérique du convertisseur A/N multi-rampes, un flot de vérification et de test a été proposé, basé sur la modélisation comportementale de la partie analogique. Cette dernière est modélisée par des équations comportementales obtenues à partir d'une bibliothèque de modèles également développée pour cet effet (Maghrebi, 2004). Le modèle de la partie analogique et son insertion dans le modèle du convertisseur A/N multi-rampes nous permet, en premier lieu, de tester la partie numérique du circuit en tenant compte des autres parties qui le constituent et en deuxième lieu, de valider l'algorithme de conversion développé pour cette structure de convertisseur A/N.

Pour la validation de l'algorithme de conversion et du modèle du convertisseur multi-rampes, notre modèle a été testé avec un testeur statique de convertisseurs analogiques numériques que nous avons développé au laboratoire. Ce testeur permet d'extraire à partir de la fonction de transfert du convertisseur sous test les paramètres statiques tels que les erreurs de linéarité, l'erreur d'offset, l'erreur de gain, les codes manquants. Nous avons effectué un test statique sur le modèle du CAN multi-rampes 8 bits puis sur le modèle du CAN multi-rampes 10 bits. Sur les Figures 7-a et 7-b les erreurs de linéarité différentielle et intégrale dans le cas d'une résolution 8 bits ont été représentées. Le modèle du CAN 10 bits a également été évalué. Les résultats de test statique obtenus sont donnés sur les Figures 8-a et 8-b.

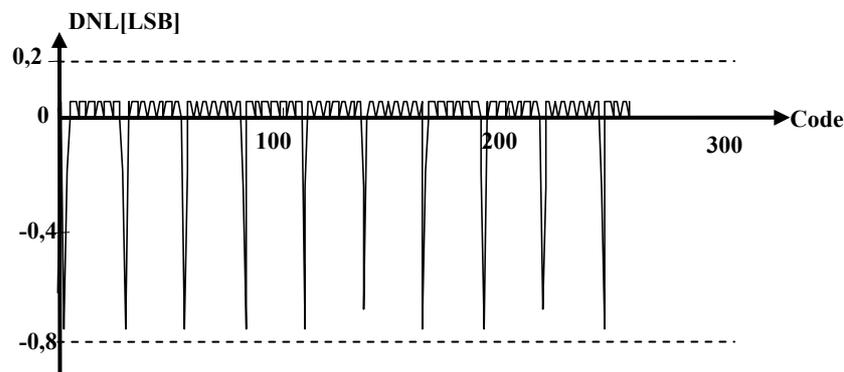


Figure 7-a. Erreur de linéarité différentielle du CAN modélisé (test statique) : Cas 8 bits.

Les résultats de test statique obtenus sont regroupés sur le Tableau 1 où figurent les extremums des erreurs de linéarité différentielle et intégrale dans le cas des modèles du convertisseurs multi-rampes de résolutions 8 bits et 10 bits. Dans les deux cas de résolution, nous n'avons pas noté de codes manquants.

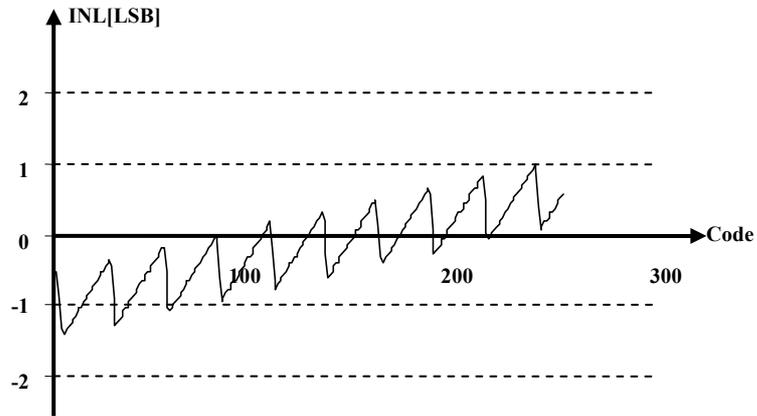


Figure 7-b. Erreur de linéarité intégrale du CAN modélisé (test statique) : Cas 8 bits.

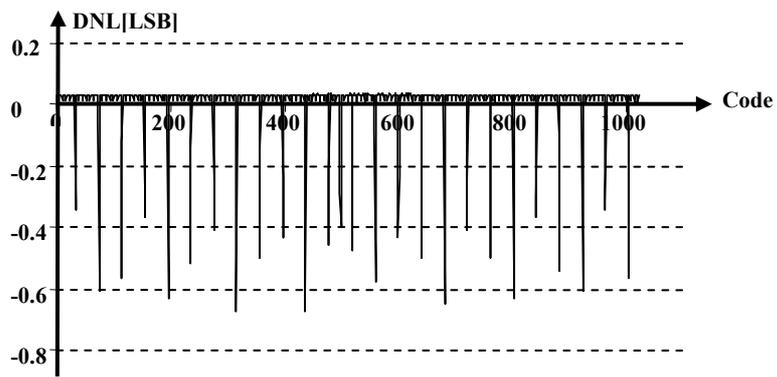


Figure 8-a. Erreur de linéarité différentielle du CAN modélisé (test statique) : Cas 10 bits.

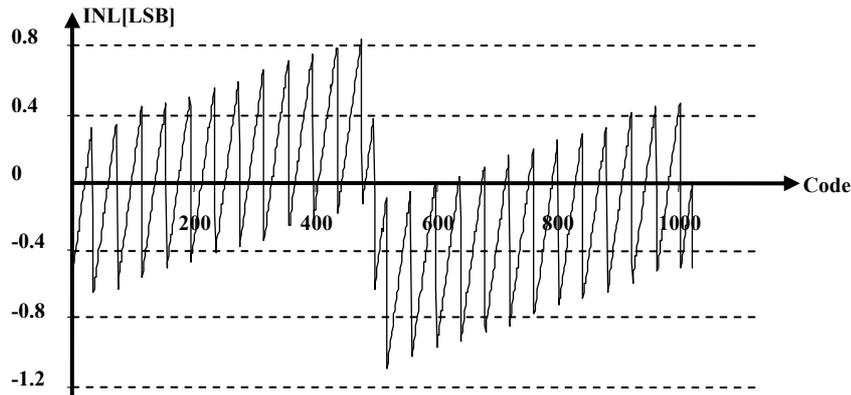


Figure 8-b. Erreur de linéarité intégrale du CAN modélisé (test statique) : Cas 10 bits.

TABLEAU 1

Tableau Récapitulatif des Résultats de Test Statique

	Erreur de linéarité différentielle [LSB]			Erreur de linéarité intégrale [LSB]		
	Min	Max	Δ DNL	Min	Max	Δ INL
8 bits	-0.750181	0.06393	0.81411	-1.40617	0.999981	2.406151
10 bits	-0.67664	0.03585	0.71249	-1.11784	0.83022	1.94806

Les résultats de test dynamique viennent pour confirmer ceux trouvés à partir du test statique. Nous avons utilisé le testeur CANTEST développé au laboratoire IXL de Bordeaux (Renaud, 1990). un test dynamique a donc été effectué pour les mêmes modèles des CAN multi-rampes de résolutions 8 bits et 10 bits. Sur les Figures 9-a et 9-b, les erreurs de linéarité dans le cas de la résolution 8 bits ont été représentées. Les erreurs de linéarité résultats du test dynamique effectué sur le modèle du CAN multi-rampes 10 bits sont données sur les Figures 10-a et 10-b.

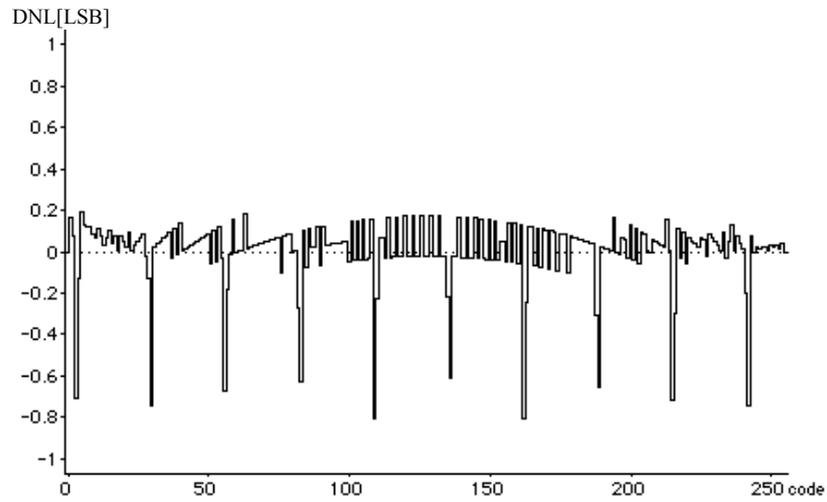


Figure 9-a. Erreur de linéarité différentielle du CAN modélisé (test dynamique) : Cas 8 bits.

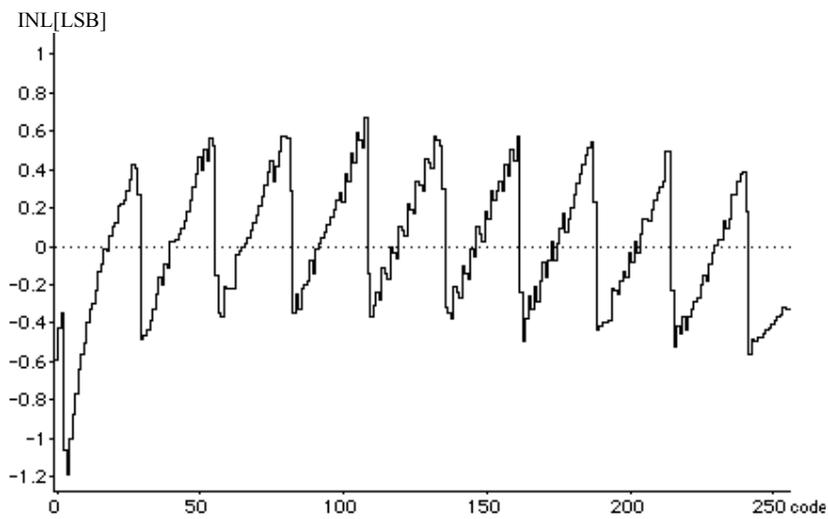


Figure 9-b. Erreur de linéarité intégrale du CAN modélisé (test dynamique) : Cas 8 bits.

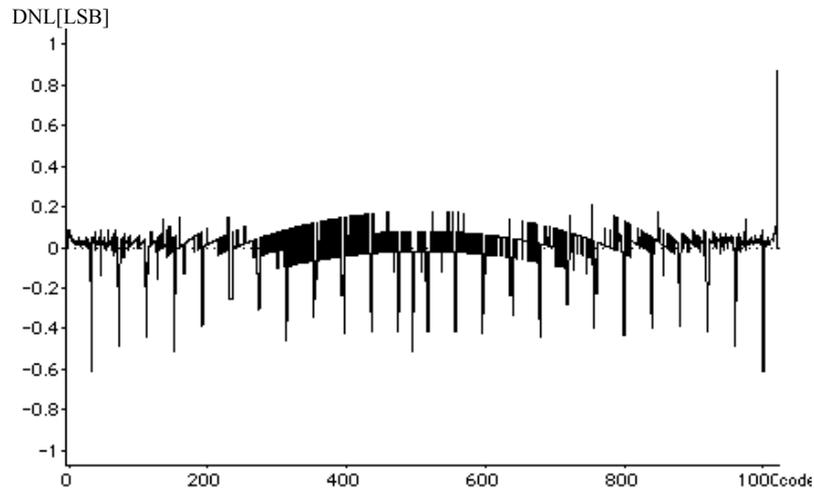


Figure 10-a. Erreur de linéarité différentielle du CAN modélisé (test dynamique) : Cas 10 bits.

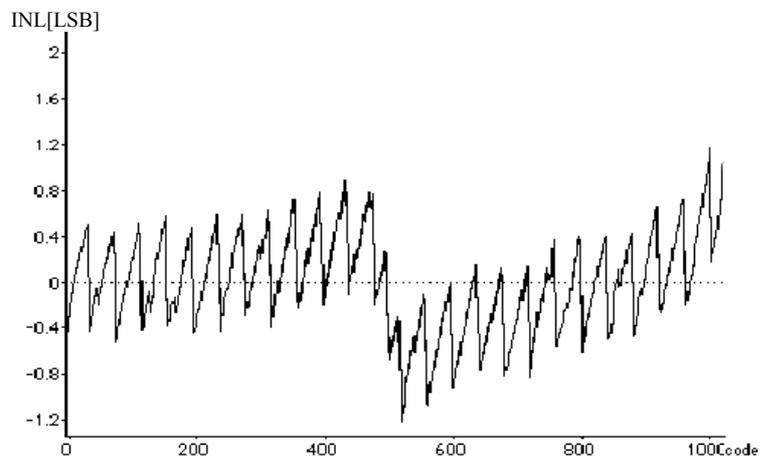


Figure 10-b. Erreur de linéarité intégrale du CAN modélisé (test dynamique) : Cas 10 bits.

D'après les résultats de test dynamique, effectué sur des modèles du convertisseur A/N multi-rampes de résolutions 8 bits et 10 bits, une erreur de linéarité différentielle de 1 LSB a été notée et une erreur de linéarité intégrale de 1.8 LSB pour une résolution 8 bits. Dans le cas de la résolution 10 bits, les erreurs de linéarité différentielle et intégrale ont été évaluées à 1.4LSB et 2 LSB respectivement. Sur le Tableau 2, les différentes erreurs obtenues à partir des tests effectués sur les modèles des convertisseurs multi-rampes 8-bits et 10-bits ont été récapitulées.

TABLEAU 2

Tableau Récapitulatif des Résultats de Test Dynamique

ERREUR	CONVERTISSEUR 8-BITS	CONVERTISSEUR 10-BITS
DNL	1 LSB	1.4 LSB
INL	1.8 LSB	2 LSB
THD	-62.91 dB	-64.91 dB
S/N	46.9 dB	58.45 dB
SINAD	46.79 dB	57.56 dB
SFDR	-59.74 dBc	-66.06 dBc
ENOB	7.48	9.27
Erreur de gain	0.91 LSB	-0.46 LSB
Erreur d'offset	0.59 LSB	0.42 LSB
Codes manquants	Aucun	Aucun

CONCLUSION

La méthodologie de conception qui a été proposée dans cet article peut être adoptée dans la conception de n'importe quel circuit mixte. Le convertisseur analogique numérique peut en faire un bon exemple. Elle a donc été appliquée dans la validation du convertisseur analogique numérique multi-rampes. Le circuit comporte une partie analogique et une partie numérique. La partie analogique a été validée et modélisée au niveau comportemental pour être utilisée dans la vérification de l'algorithme de conversion. Pour vérifier l'algorithme de conversion, un flot de vérification et de test basé sur la modélisation comportementale de la partie analogique a été proposé. Cette dernière a été modélisée par des équations comportementales obtenues à partir d'une bibliothèque de modèles développée pour cet effet. Les résultats de tests statique et dynamique ont permis de mettre en valeur les performances du convertisseur A/N multi-rampes pour les résolutions 8 bits et 10 bits.

REFERENCES

- Baraniecki, R., Dabrowski, P. and Hejn, K. 1998. Oversampling $\Sigma\Delta$ analog-to-digital converters modeling based on VHDL. *Analog Integrated Circuits and Signal Processing*, 16: 101-109.
- Bayer, D. A. 2003. *Methodology for reuse of high speed mixed signal and RF integrated circuits*. Thèse de Doctorat, Université Ohio State.

- Ginés, A. J., Peralias, E., Rueda, A., Madrid, N. M. and Seepold, R. 2002. A mixed-signal design reuse methodology based on parametric behavioural models with non-ideal effects. *Design, Automation and Test in Europe (DATE'02)*, March 4-8, 2002, Paris France.
- Oudinot, J., Hui-Bon-Hoa, C., Lemery, F. and Rossi, A. 2000. *Validation of a new methodology using VHDL-AMS on a hard-disk drive design*. Deep Submicron Technical Publication.
- Maghrebi, R. 2004. *Contribution à la modélisation, conception et test de structures de conversion analogique numérique*. Thèse de Doctorat, Ecole Nationale d'Ingénieurs de Sfax, Tunisie.
- Maghrebi, R., Gueddah, N., Kitouni, N. and Masmoudi, M. 2001. A new structure of self calibrated A/D converter. *Smart Systems and Devices, SSD 2001*, Hammamet, Tunisia, March 27-30.
- Maghrebi, R. and Masmoudi, M. 1998. A current mode self-calibrated analog to digital converter. *10th International Conference on Microelectronics, ICM'98*, Monastir, Tunisia.
- Peralias, E., Acosta, A. J., Rueda, A. and Huertas, J. L. 2000. VHDL-based behavioural description of pipeline ADCs. *ISCAS2000 - IEEE International Symposium on Circuits and Systems*, May 28-31, 2000, Geneva, Switzerland.
- Renaud, S. 1990. *Contribution à la caractérisation des circuits de conversion analogique-numérique. Conception et réalisation d'un système d'évaluation dynamique de ces dispositifs*. Thèse de Doctorat, Université de Bordeaux.
- Yang, W., Carter, H. and Yan, J. 2004 A high-level VHDL-AMS model design methodology for analog RF LNA and mixer. *Behavioral Modeling And Simulation Conference, BMAS 2004*, October 21-22, 2004, San José California, USA.