

# DÉVELOPPEMENT D'UN OUTIL DE SYNTHÈSE ANALOGIQUE POUR LES SYSTÈMES À COURANTS COMMUTÉS UTILISANT VHDL-AMS

Nesrine Ksentini<sup>1,2</sup>, Ahmed Fakhfakh<sup>1</sup>, Mourad Loulou<sup>1</sup>, Nouri Masmoudi<sup>1</sup> et Jean-  
Jacques Charlot<sup>2,3</sup>

<sup>1</sup> LETI-ENIS, Sfax, Tunisia

<sup>2</sup> COMELEC, ENST, Paris, France

<sup>3</sup> JJCC, Menton, France

nesrine@enst.fr

(Received 13 January 2005 - Accepted 13 October 2005)

## RESUME

*Ce papier présente une contribution au développement d'un outil de synthèse analogique pour les systèmes à courants commutés. Cet outil permettra de développer et de caractériser une architecture optimisée du système à concevoir à partir des spécifications fixées dès le début et ceci tout en restant à un niveau haut de conception. Cet outil est spécifiquement adapté pour les systèmes électroniques conçus avec la technique des courants commutés.*

*Dans un premier temps est présenté le diagramme bloc du flot de conception qui est proposé. Ensuite la bibliothèque créée contenant les modèles VHDL-AMS de deux cellules de base qui sont les cellules classe A et AB est exposée. Cette bibliothèque a permis par la suite de modéliser des modulateurs Sigma-Delta de premier et deuxième ordre et de faire une analyse spectrale afin de les caractériser.*

**Mots clés :** modélisation, VHDL-AMS, systèmes à courants commutés, synthèse analogique

## ABSTRACT

*The purpose of this contribution is to develop an Analogue-Synthesis tool for switched current systems. This tool will allow the user to develop and optimize the system to design from specifications with a high level simulation.*

*First, a block diagram of the design flow which is going to be used to simulate and characterize SI system is presented. Second, a cell library was developed. It contains VHDL-AMS descriptions for two basic memory cells (A and AB Class). This library helped modeling first and second order Sigma-Delta modulators which led to perform a spectrum analysis and achieve a characteristic study.*

**Keywords:** modeling, VHDL-AMS, switched-current systems, analogue-synthesis

### INTRODUCTION

L'utilisation courante de langages évolués tel le langage standardisé VHDL-AMS ainsi que l'émergence des langages graphiques performants et très conviviaux vont permettre de modifier les méthodes de spécification des systèmes électroniques. L'effort est orienté vers le développement de nouvelles méthodologies pour intégrer une méthode de conception hiérarchique *Top-Down* dans un environnement de synthèse en utilisant le VHDL-AMS. Les objectifs de la modélisation comportementale sont principalement la résolution du problème de temps de simulation, la détection rapide des erreurs de fonctionnement avant d'établir une description niveau transistor et finalement l'accélération du cycle de conception des systèmes en réutilisant des blocs déjà modélisés (Oudinot, 2000).

Les méthodes proposées dans ce papier sont appliquées pour la conception des systèmes utilisant la technique des courants commutés. Elles facilitent l'utilisation des modèles de simulation en proposant des modèles VHDL-AMS génériques, facilement adaptés pour des modifications de spécifications.

### MATERIELS ET METHODES

#### Développement d'un outil de synthèse analogique

La conception des systèmes électroniques complexes nécessite aujourd'hui impérativement des méthodes et des techniques permettant d'exprimer d'abord correctement le besoin (O'Connor & Kaiser, 2000). Puis, déduire progressivement les solutions répondant à ces exigences, tout d'abord à un niveau fonctionnel puis à un niveau technique compatible avec les phases successives conduisant à la réalisation.

La Figure 1 représente le diagramme bloc du flot de conception qui est proposé pour simuler et caractériser des systèmes conçus avec la technique des courants commutés.

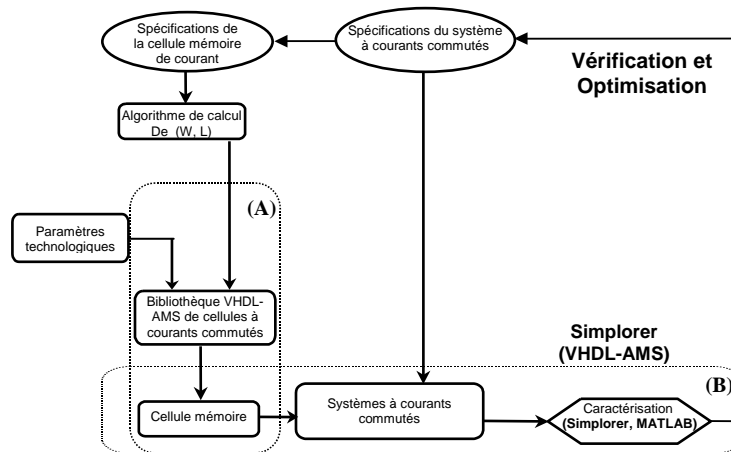


Figure 1. Diagramme bloc du flot de conception.

L'utilisateur commence par choisir les spécifications du système à concevoir (Hervé, 2003). A partir de ces spécifications, il choisira le type de la cellule mémoire et ses spécifications. Les dimensions des transistors de la cellule seront alors calculées en fonction de ces spécifications et ceci en utilisant un algorithme de calcul qui intègre un algorithme d'optimisation. Une fois la cellule optimisée, une description VHDL-AMS de la cellule est développée. Cette description contient des paramètres géométriques qui sont d'une part les dimensions des transistors utilisées et d'autre part des paramètres technologiques. Elle est ensuite introduite dans une bibliothèque de cellules pour une éventuelle réutilisation. Après cette première phase d'optimisation de la cellule, on passe à la conception de système en faisant appel à la bibliothèque. Après simulation, on passe à la phase de caractérisation. Un algorithme d'optimisation permet ensuite de comparer les résultats de simulation aux spécifications de départ.

Ce flot de conception a été intégré dans l'outil de simulation Simplorer 6.0 (Simplorer, 2003) avec un interfaçage MATLAB pour faire la caractérisation des systèmes simulés.

Le but de ce travail consiste à élaborer une bibliothèque dans l'environnement SIMPLORER renfermant des modèles VHDL-AMS de différentes cellules mémoires de courants nécessaires pour concevoir un système à courants commutés, en particulier la cellule de deuxième génération classe A et classe AB. Pour développer ces descriptions VHDL-AMS on s'est basé sur des modèles physiques au niveau transistor. Avant de les présenter, les cellules mémoire de courant (Ksentini *et al.*, 2004) seront présentées rapidement..

### **Présentation de la technique des courants commutés**

L'opération de base effectuée par une cellule mémoire de courant consiste en une phase de mémorisation suivie par une phase de maintien. Elle doit se faire en deux demi-périodes (Hughes *et al.*, 2000). Pendant la première demi-période (la phase d'acquisition), le signal d'entrée qui est représenté par un courant est échantillonné. Pendant la deuxième demi-période (la phase de maintien), la valeur échantillonnée est conservée. Donc la cellule mémoire effectue une opération de retard dans une période complète.

L'idée de la cellule mémoire de deuxième génération classe A est basée sur le copieur de courant ou miroir de courant dynamique (Toumazou *et al.*, 1993).

Le circuit de base d'une cellule mémoire classe AB à masse virtuelle dite aussi à source de tension flottante (Angulo *et al.*, 2000) présente essentiellement un amplificateur à grille commune classe AB formé par les transistors MOS appuyé par un convoyeur de courant (Worapishet *et al.*, 1996) dont le rôle est de stabiliser encore plus le potentiel de drain des transistors mémoires. Avec les circuits en classe AB, l'amplitude du courant traité peut dépasser le courant de polarisation. De plus, les circuits classe AB présentent une meilleure linéarité par rapport à ceux en classe A et par suite des distorsions harmoniques moins importantes. (Oliali, 1997).

La cellule mémoire est réalisée par des éléments physiques, ce qui peut générer certains écarts entre le modèle mathématique et la réalité. Généralement les non-idéalités des circuits introduisent des erreurs sur le courant de sortie de la cellule (Jonsson, 1994). Ces non-

idéalisés sont essentiellement dues au temps d'acquisition, à l'injection de charge et à la conductance de sortie.

La Figure 2 détaille l'organisation de l'architecture du modèle VHDL-AMS de la cellule mémoire. Le modèle reçoit trois entrées : le courant d'entrée, le courant de polarisation et l'horloge. Les paramètres génériques sont les paramètres technologiques et les dimensions des transistors. Cette architecture permet une certaine souplesse vis à vis le changement de la technologie d'implémentation (Ksentini *et al.*, 2003a).

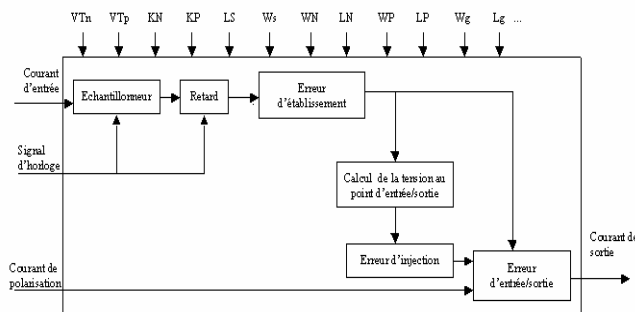


Figure 2. Schéma bloc de la cellule mémoire.

Contrairement aux blocs échantillonneur et retard, les blocs qui calculent les différentes erreurs de courant ne sont pas les mêmes pour les deux types de cellule modélisée (classe A et AB) puisque les équations établies des erreurs sont différentes. Dans ces blocs, nous avons calculé les trois erreurs affectant la cellule mémoire.

*Erreur relative au temps d'acquisition :*

Cette erreur est modélisée par une fonction de transfert en temps continu entre le courant d'entrée et le courant d'acquisition, elle est modélisée avec l'opérateur de LAPLACE p en utilisant la fonction prédéfinie par la norme VHDL-AMS (l<sub>tf</sub>).

Cellule classe A :

La fonction de transfert peut être calculée approximativement, pour un courant d'entrée le nul, à partir du système de second ordre donné par l'équation (1):

$$\frac{I_{acq}}{I_e} = \frac{g_m}{g_m + g_{ds}} \frac{1}{1 + \frac{1}{g_m + g_{ds}} \left[ \left(1 + \frac{g_{ds}}{g_i}\right) C_{gs} + C_d \right] p + \frac{C_d C_{gs}}{(g_m + g_i)(g_m + g_{ds})} p^2} \quad (1)$$

où p est l'opérateur de Laplace, g<sub>m</sub> est la transconductance du transistor mémoire, g<sub>i</sub> est la conductance du transistor interrupteur.

Cellule classe AB :

On considère en sortie le courant acquis par la cellule mémoire. La fonction de transfert de LAPLACE entre le courant d'entrée et le courant d'acquisition est donnée par la relation 2 :

$$\frac{I_e}{I_{acq}} = 1 + \frac{(g_{mg} + g_{og})}{g_m g_{mg}} \frac{C + g_{og} C_g}{g_m g_{mg}} p + \frac{C C_g}{g_m g_{mg}} p^2 \quad (2)$$

où  $g_{mg}$ ,  $g_{og}$ ,  $g_m$ ,  $C_g$  et  $C$  représentent les conductances et capacités grille-source des transistors mémoires et grilles.

*Erreur d'injection de charge :*

Cellule classe A :

La variation du courant  $\Delta I_{inj}$  se subdivise en deux composantes. La première est liée à la polarisation tandis que la deuxième composante non linéaire est liée au signal d'entrée (Desgreys, 1999). Le courant due à l'injection de charge sera donné par l'expression (3).

$$\Delta I_{dij} = \frac{K_n}{2} \frac{W_m}{L_m} V_{inj}^2 + K_n \frac{W_m}{L_m} (V_{gsm} - V_{Tn}) V_{inj} \quad (3)$$

$$V_{inj} = \frac{\left(\frac{C_{ox}}{2} + C_{gd}\right)(V_H - V_{gs} - V_T)}{C_{gs}} + \frac{C_{gd}(V_{gs} + V_T - V_B)}{C_{gs}}$$

Classe AB :

La charge  $Q$ , injectée par le transistor interrupteur, est formée de deux composantes, l'une issue du canal formé entre le drain et la source et l'autre provenant de la capacité de recouvrement  $C_{rec}$  (Recoules, 1999).

$$Q = \frac{1}{2}(V_H - V_{Tn} - V_x)C_{canal} + V_H C_{rec} \quad (4)$$

Une partie  $Q'$  de cette charge sera compensée par le transistor fantôme pour créer son propre canal.

$$Q' = C_{canali} \left( \frac{C}{2} - V_{Tn} \right) + 2C_{reci} V_H \quad (5)$$

$C_{canali}$  et  $C_{reci}$  sont respectivement la capacité du canal et de recouvrement du transistor interrupteur. Donc la quantité totale de charge injectée sera donnée par l'équation 6:

$$\Delta V_{gs} = \frac{\Delta Q}{C} \quad (6)$$

Soit  $\Delta I_{dij}$  l'erreur engendrée sur le courant de drain suite à la variation  $\Delta V_{gs}$  causée par l'injection des charges,  $\Delta I_{dij}$  s'écrit :

$$\Delta I_{dinj} = g_m \Delta V_{gs} \quad (7)$$

Rapports des conductances d'entrée-sortie :

On exprime le courant de sortie en fonction du courant mémorisé ( $I_{acq} - \Delta I_{dinj}$ ) dans la cellule durant la phase de restitution.

Classe A :

$$\frac{I_s}{I_{acq} - \Delta I_{dinj}} = \frac{\frac{g_i g_m}{g_i + g_m}}{\frac{g_i g_m}{g_i + g_m} + g_{dsem} + g_{dseJ} + g_m \frac{C_{gd}}{C_{gd} + C_{gs}}} \quad (8)$$

La forme générale des conductances dans le cas d'une structure cascode est donnée par la relation (9) :

$$g_{dse} = \left. \frac{g_{dsc}}{g_m C} \right|_{cascode} g_{ds} \quad (9)$$

$g_{mc}$  est la transconductance du transistor cascode,  $g_{ds}$  et  $g_{dsc}$  sont les conductances drain-source du transistor (mémoire ou source de polarisation) et de celui du cascode.

Classe AB :

Le courant traversant chaque transistor mémoire sera contraint à être divisé entre une partie mémorisée dans la capacité  $C_{gs}$  et une partie « perdue » dans la conductance. Ainsi le courant d'entrée sera exprimé comme suit :

$$I_{acq} - \Delta I_{dinj} = I_{mem} + V_x (g_n + g_p) - g_p V_H \quad (10)$$

$$I_s = \frac{A g_{m0} g_i}{A g_{m0} g_i + g_0 (A g_{m0} + g_i)} \frac{I_{acq} - \Delta I_{dinj}}{1 + \frac{g_0 V_{x0}}{I_0} + \frac{g_0}{A g_{m0}}} \quad (11)$$

Les modèles mathématiques des différentes erreurs mises en jeu dans les cellules mémoires et présentés dans ce papier sont traduits en VHDL-AMS (Ksentini *et al.*, 2003b).

### Simulation des cellules mémoires de courants

Deux bibliothèques ont été créées (Figure 3): la première, nommée « Technologie », contient les paramètres technologiques qui sont déclarés comme CONSTANTS (0.35  $\mu m$

CMOS). La deuxième, nommée « Cellules », où les modèles des cellules mémoires ont été définies (Fakhfakh *et al.*, 2003). A chaque type de cellule, nous avons associé un paquetage : PACKAGE, (Figure 4) qui contient les paramètres de dimensionnement des transistors nécessaires pour la simulation de la cellule mémoire. Ceci a pour objectif de faciliter la tâche des concepteurs. En effet, il leur suffira de choisir la bibliothèque contenant la technologie avec laquelle ils feront la conception pour que le modèle de la cellule s'adapte automatiquement à la nouvelle technologie sélectionnée. D'autre part, pour changer les dimensions des transistors de la cellule mémoire, il suffit de faire les modifications dans le paquetage correspondant, sans modifier la description VHDL-AMS de la cellule.

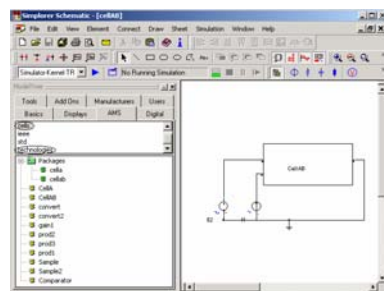


Figure 3. Bibliothèque créée dans l'environnement SIMPLORER.

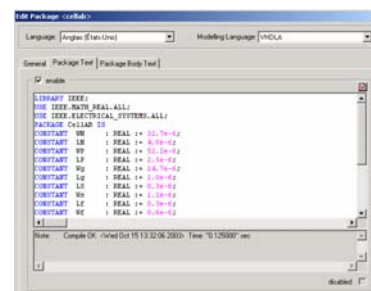


Figure 4. Paquetage de la cellule classe AB.

Des fonctions plus complexes sont réalisables à partir de cette cellule retard, en particulier les modulateurs Sigma-Delta dont plusieurs travaux de recherche sont actuellement en cours pour améliorer leurs performances. Cependant, le temps de simulation de ces systèmes est très excessif ce qui rend leur caractérisation très difficile.

### Présentation des modulateurs Sigma-Delta

La structure générale des modulateurs Sigma-Delta est une boucle formée par des intégrateurs et un comparateur de courant (quantificateur mono-bit) pour la numérisation dans la chaîne directe et par un convertisseur numérique-analogique 1 bit dans la chaîne de retour. Les modulateurs Sigma-Delta permettent la réalisation de convertisseurs analogique-numérique à grande résolution (Loulou, 1998 ; Dessouky, 2001). Il est nécessaire de cascader deux cellules mémoires introduisant chacune un retard d'une demi-période pour réaliser une cellule à retard d'une période (Fabio, 2000). La sortie du premier sommateur représente l'erreur entre l'entrée du modulateur  $e(t)$  et sa sortie  $s(t)$ . Cette erreur ne s'annule que si l'entrée prend les valeurs 1 ou -1. Le signal de sortie correspond à une modulation en densité d'impulsion de 1 et de -1 (Singor & Snelgrove, 1995).

La Figure 5 montre comment nous avons réalisé le modulateur à partir de la bibliothèque conçue sous SIMPLORER. Le bloc A contient le modèle de l'intégrateur à courants commutés constitué de deux cellules en cascade. Le bloc B contient le modèle du

modulateur, où nous avons fait appel à l'intégrateur du bloc A, au quantificateur et au convertisseur CNA (modèles déjà développés et introduits dans la bibliothèque). Le bloc C montre la vue externe du modulateur à courants commutés.

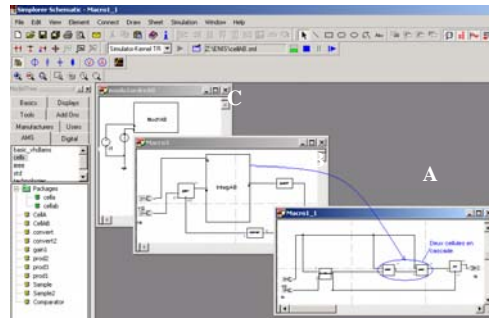


Figure 5. Vue hiérarchique du modulateur premier ordre.

### Simulation et caractérisation des modulateurs

Les résultats de simulation pour un modulateur de deuxième ordre utilisant la cellule mémoire de courant classe AB seront présentés.

Sur la Figure 6, la réponse du modulateur est montrée. L'entrée sinusoïdale est de fréquence 1.4375kHz et d'amplitude égale à 80% du courant de référence. Le courant de référence est égal à 20µA. La fréquence d'échantillonnage est fixée à 1.024 MHz.

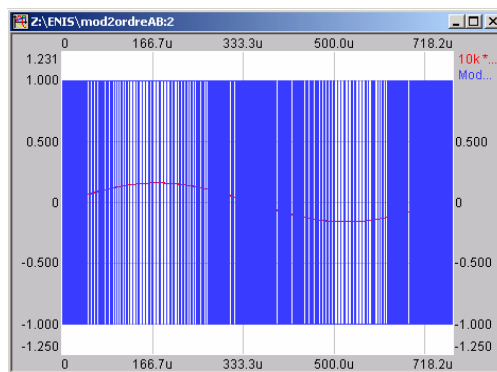


Figure 6. Réponse temporelle du modulateur 2<sup>ème</sup> ordre.

Le spectre du modulateur est tracé avec le logiciel MATLAB, mais tout en restant dans l'environnement SIMPLORER. Ceci est possible avec la commande « DAY POST



PROCESSOR ». On peut également tracer le spectre du signal de sortie à l'aide de la commande « MATLAB TOOLBOX » (Figure 7).

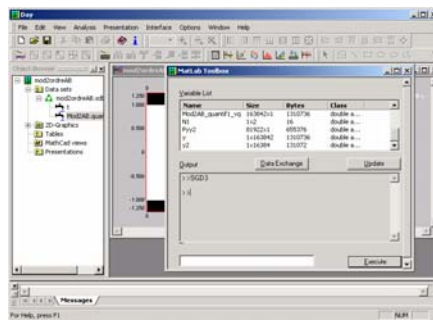


Figure 7. Matlab Toolbox dans l'environnement SIMPLORER.

La Figure 8 montre une comparaison du spectre d'un modulateur idéal et celui à courants commutés (Figures 8 (a) et (b)). Sur les deux graphiques, on note bien la mise en forme du bruit de quantification. Pour le modulateur à courants commutés, la mise en forme n'est pas parfaite et on constate bien une élévation du niveau du bruit en basses fréquences.

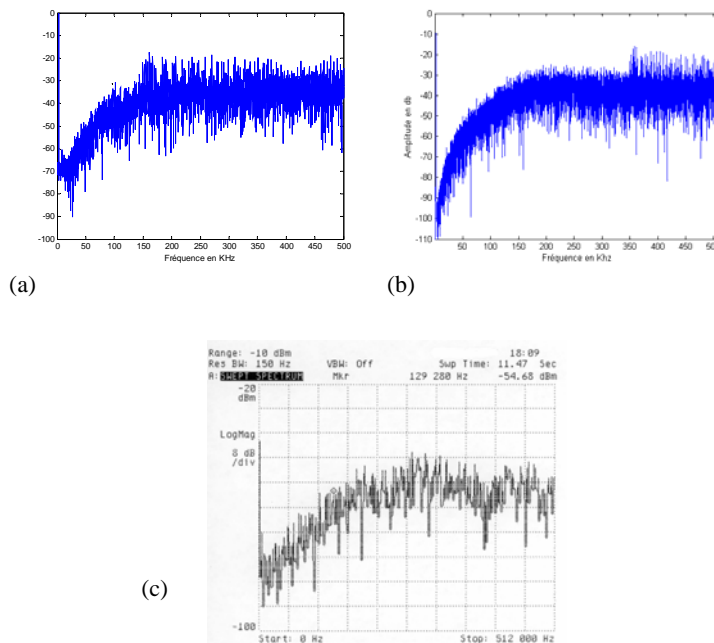
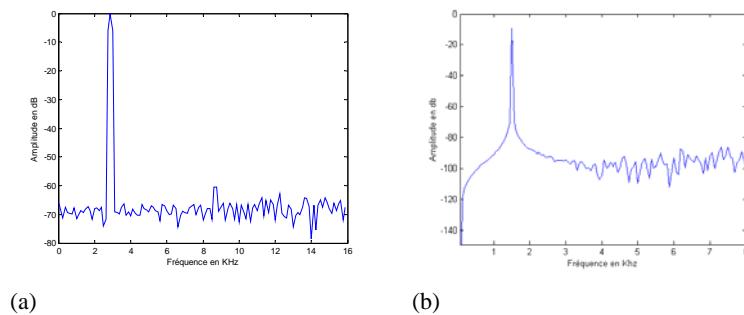


Figure 8. Spectre du modulateur 2nd ordre (a) modèle à courants commutés, (b) modèle idéal, (c) mesure.

Ce phénomène explique la dégradation de la résolution du CAN réalisé à base de la technique des courants commutés remarquée après fabrication et mesure du circuit. Une optimisation de la cellule mémoire permettra éventuellement de diminuer le niveau de bruit en basses fréquences et permettra donc de prévoir une amélioration des performances du modulateur Sigma-Delta.

La Figure 8 (c) montre un résultat de mesure sur un modulateur déjà fabriqué avec la technique des courants commutés. On remarque bien que la forme du spectre obtenu correspond bien à celle trouvée avec la simulation.

La Figure 9 montre une comparaison du spectre d'un modulateur idéal et à courants commutés dans une bande limitée à 8kHz, après filtrage numérique de décimation. On remarque le niveau de bruit très élevé pour le modulateur à courants commutés (planché de bruit égale à -70dB pour le modulateur à courants commutés, -100dB pour le modulateur idéal et -80dB pour la mesure).



**Figure 9. Spectre du modulateur 2nd ordre (a) à courants commutés, (b) idéal.**

La courbe du SNR est une caractéristique générale des modulateurs Sigma-Delta. Elle donne la valeur de rapport signal sur bruit mesuré en dB en fonction de l'amplitude relative du signal d'entrée par rapport au courant de référence exprimée en dB. Cette courbe est linéaire en échelle logarithmique et présente une chute du SNR lorsque l'amplitude du signal d'entrée s'approche de la pleine échelle. Ceci est caractéristique des modulateurs Sigma-Delta et provient de la saturation du deuxième intégrateur.

Sur la Figure 10 on compare le SNR du modulateur du 1<sup>er</sup> ordre et 2<sup>ème</sup> ordre et on montre que le SNR a été amélioré pour le modulateur de deuxième ordre. Ce résultat attendu a servi pour valider toute cette démarche de modélisation VHDL-AMS et prouve qu'avec l'actuelle bibliothèque développée, des modulateurs d'ordre plus élevé peuvent être étudiés et de comparer leurs performances par rapport à celui de deuxième ordre.

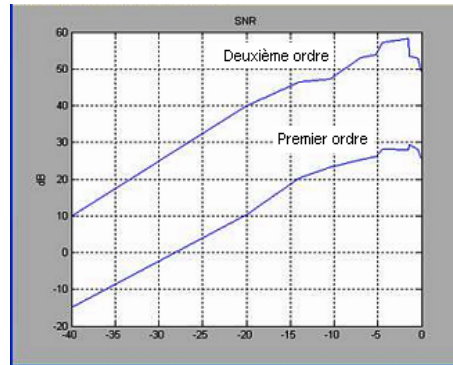


Figure 10. Comparaison entre SNR du modulateur 2<sup>ème</sup> et 1<sup>er</sup> ordre.

### CONCLUSION

La modélisation comportementale en VHDL-AMS permet de vérifier le bon fonctionnement du système avant de passer à une description niveau transistors et de détecter des erreurs de conception précoces. Dans ce papier une démarche de conception haut niveau a été présentée qui vise à intégrer la méthode de conception hiérarchique Top-Down dans un environnement de synthèse en utilisant le VHDL-AMS. La démarche proposée concerne spécialement la conception des systèmes à courants commutés. En effet, une bibliothèque de modèles VHDL-AMS pour deux types de cellules mémoires a été développée. Ces modèles sont facilement ajustables pour une modification de la technologie de conception ou des dimensions des transistors utilisés dans ces cellules.

En utilisant cette bibliothèque, le concepteur peut facilement concevoir un système à courants commutés en faisant appel et en connectant les cellules mémoires de base.

La simulation des systèmes conçus permettra une caractérisation rapide en temps de simulation. Au cas où les performances trouvées ne correspondent pas avec les spécifications souhaitées, le concepteur pourra re-dimensionner ces cellules de base pour atteindre de meilleurs résultats. Cette tâche, actuellement manuelle, sera automatisée dans un futur travail, en intégrant notre algorithme d'optimisation dans l'environnement SIMPLORER.

Cette application a consisté à modéliser et à simuler en VHDL-AMS des modulateurs Sigma-Delta de 1<sup>er</sup> et 2<sup>ème</sup> ordre et on a pu tracer des courbes de SNR pour caractériser ce type de circuits. Cette tâche très importante est pratiquement impossible à réaliser avec une simulation transistors à cause du temps de simulation excessivement long, nécessaire pour ce genre de circuit.

Dans un futur travail, on va compléter l'automatisation des différents blocs montrés dans le diagramme du flot de conception qu'on a proposé dans ce papier, dans le but d'aboutir à un outil de synthèse analogique pour les systèmes à courants commutés utilisant le VHDL-AMS.

### REMERCIEMENTS

Le projet de recherche DGRST (Tunisie) - CNRS (France) N°11798 : Développement d'un utilitaire de simulation pour la conception de circuits à courants commutés à base de VHDL-AMS a été le contexte de l'étude.

### REFERENCES

- Angulo, J.R., Carvajal, R.G., Heredia, J.M. et Torralba, A. 2000. Very low-voltage class AB CMOS precision voltage and current rectifiers. *ISCAS IEEE International Symposium on Circuits and System*, 3: 5-8.
- O'Connor, I. and Kaiser, A. 2000. Automated synthesis of current-memory cells. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, April, 19(4): 413-425.
- Desgreys, P R. 1999. *Etude du phénomène d'injection de charges dans les cellules à courants commutés. Pour la réalisation d'un circuit de compensation optimisé. Application à la conception d'un convertisseur numérique analogique algorithmique*. Thèse Université Bordeaux I, Ecole doctorale des sciences physiques et de l'ingénieur, Octobre.
- Dessouky, M. 2001. *Conception en vue de la réalisation de circuits analogiques. Application: modulation delta-sigma à très faible tension*. Thèse, Université Paris VI.
- Fabio, T.B. 2000. *Convertisseurs analogique-numérique du type sigma-delta pour applications en radiocommunications*. Thèse de doctorat ENST.
- Fakhfakh, A., Loulou, M., Masmoudi, N., Ksentini, N. et Charlot, J.J. 2003. VHDL-AMS Behavioural modelling of a switched current sigma-delta modulator. *Frankfurt Germany Forum on specification & design language*, Septembre 23-26, FDL 2003.
- Hervé, Y. 2003. *Langages de haut niveau et flot de conception des systèmes complexes : vers le prototypage virtuel ?* HDR, Université Louis Pasteur , Strasbourg, Juillet, N° 481.
- Hughes, J.B., Worapishet, A., Toumazou, C. 2000. Switched-capacitors versus switched-currents : a theoretical comparison. *ISCAS IEEE International Symposium on Circuits and Systems*, 2: 409-412.
- Jonsson, B. 1994. *Applications for the switched-current technique*. Linkoping studies in science and technology thesis.
- Ksentini, N., Loulou, M., Fakhfakh, A., Nehmi, A., Masmoudi, N. et Charlot, J.J. 2003a. Modeling of switched current memory cell with VHDL-AMS for mixed system design. *SSMSD, Southwest Symposium on Mixed-Signal Design*, Las Vegas, Nevada, U.S.A, February 23-25, pp. 162-165.
- Ksentini, N., Fakhfakh, A., Loulou, M., Masmoudi, N. et Charlot, J.J. 2003b. Application de la méthode de conception hiérarchique top-down pour la simulation des modulateurs sigma-delta. Mars, *SETIT*, Tunisie, Sousse, p. 50.
- Ksentini, N., Fakhfakh, A., Loulou, M., Masmoudi, N., Herve, Y., Charlot, J.J. 2004. Analogue-synthesis tool development for switched-current systems using VHDL-AMS, 24 -26 novembre, *DCIS*, Bordeaux, p. 31.
- Loulou, M. 1998. *Etude de la technique des courants commutés. Application à la conversion analogique-numérique sigma-delta*. Thèse, Université Bordeaux I, Ecole doctorale des sciences physiques et de l'ingénieur, Novembre.

- Oliali, O. 1997. *Technique des courants commutés pour les convertisseurs à sur-échantillonnage ou sous-échantillonnage*. Thèse, Ecole Nationale Supérieure des Télécommunications, Novembre.
- Oudinot, J. 2000. *Méthodologies de conception d'ASICs mixtes avec VHDL-AMS*. PhD thesis, Ecole Nationale Supérieure des Télécommunications.
- Recoules, H. 1999. *Modélisation du transistor MOS submicronique : application à la conception de circuits intégrés analogiques et mixtes en technologies CMOS et BICMOS*. Thèse de doctorat, Paris VI.
- Simplorer reference manual, 2003.
- Singor, F.W. et Snelgrove, W.M. 1995. Switched-capacitor bandpass delta-sigma A/D modulation at 10,7 MHz. *IEEE Journal of Solid-State Circuits*, mars, 30(3): 184-192.
- Toumazou, C., Hughes, J.B. & Battersby, N.C. 1993. Switched currents an analogue technique for digital technology. *IEE Circuit and Systems*, ISBN: 086 341 2947.
- Worapishet, A., Hughes, J.B. et Toumazou, D. 1996. Class AB technique for high performance switched-current memory cells. *IEEE ISCAS'96*, pp. 456-459.